

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-187948

(43)Date of publication of application : 27.07.1989

(51)Int.Cl.

H01L 21/92  
H01L 21/60

(21)Application number : 63-013018

(71)Applicant : NEC CORP

(22)Date of filing : 22.01.1988

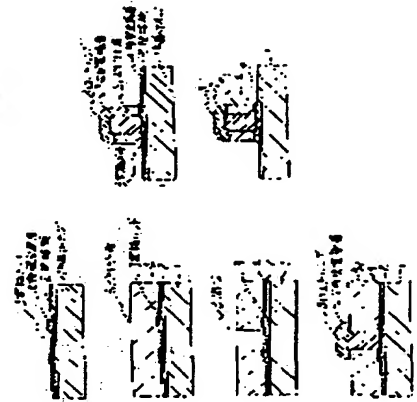
(72)Inventor : MORIYAMA YOSHIFUMI

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To increase the height of the uppermost section of a soldering bump while forming a bump structure, in which deviation of the height is reduced, and to obtain a semiconductor device having a longer connection lifetime by forming a columnar electrode layer coated with a high-temperature resin between the soldering bump and an electrode pad for a semiconductor chip.

**CONSTITUTION:** An electrode pad 3 formed onto one main surface of a semiconductor chip 1, a barrier metallic layer 4 shaped onto the electrode pad 3, a columnar electrode layer 7 formed onto the barrier metallic layer 4, a high-temperature resin coating layer 5b coating the side face of the columnar electrode layer 7, and a soldering bump 8 shaped onto the columnar electrode layer 7 are contained. The barrier metallic layer 4 is formed onto the whole surface of the semiconductor chip 1 on which the electrode pad 3 is shaped, a polyimide layer 5a is formed, an opening 6 is shaped to the polyimide layer 5a, and the columnar electrode layer 7 is formed, burying the opening 6. The soldering bump 8 is shaped, the polyimide layer 5a in regions except the soldering bump 8 is removed, and the barrier metallic layer 4 in sections except a region positioned under the soldering bump 8 is gotten rid of.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-187948

⑮ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)7月27日

H 01 L 21/92  
21/60

C-6708-5F  
Q-6918-5F

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭63-13018

⑰ 出 願 昭63(1988)1月22日

⑱ 発 明 者 森 山 好 文 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体装置

特許請求の範囲

半導体チップの一主面に形成された電極パッドと、前記電極パッド上に設けられた障壁金属層と、前記障壁金属層の上に設けられた柱状電極層と、前記柱状電極層の側面を被覆する耐熱性樹脂被覆層と、前記柱状電極層の上に設けられたはんだパンプとを含むことを特徴とする半導体装置。

発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置に関し、特にフリップチップ方式の組立に使用する半導体装置に関する。  
(従来の技術)

フリップチップ方式の組立は、半導体チップ全面に電極を配置することができ、また電極を下側にして回路基板等に一度に接着できるという利点があるのでゲートアレイのような多数の電極を必要とする製品に適用されてきた。

第3図は従来の半導体チップの第1の例の断面図である。

まず、絶縁領域が形成されている半導体チップ1の表面に熱酸化法により、絶縁膜2を形成する。

次に、ホトリソグラフィ法により、電極パッドを形成する領域の絶縁膜2を選択的に除去し、窓を開け、アルミニウムの電極パッド3を形成する。

次に、電極パッド3の上に、蒸着法またはスパッタリング法によりチタンもしくはクロム層を形成し、更に、その上に、銅またはニッケル層を形成し二層構造の障壁金属層4を設ける。

次に、障壁金属層4の上に、電解めっき法によりはんだを供給し、はんだパンプ8を形成する。はんだには、例えば鉛95%、錫5%のものをを用いる。次に、窒素雰囲気中で加熱溶融してはんだパンプ8を整形する。

第4図は従来の半導体チップの第2の例の断面図である。

第2の例は、障壁金属層4を形成するまで第1

上述した従来のフリッツァフ方式の組立法では、半導体チップ1と回路基板9との間に熱膨張係数差があるため、半導体チップの発熱や環境温度変化により、接続体10に繰返しせん断応力が発生し、最終的には疲労破壊するという問題がある。

この疲労破壊に至らしめるせん断応力は、弾性限界内であれば、せん断歪みに比例するので、せん断歪みが大きい程、疲労破壊しやすいことになる。

従来から知られているように、このせん断歪み $\epsilon$ は、熱膨張係数差を $\Delta\alpha$ 、温度変化を $\Delta T$ 、半導体チップ1の中心から最外周に位置する接続体10の中心までの距離を $L$ 及び半導体チップ1と回路基板9との間の寸法を $H$ とすると、次式のようになる。

$$\epsilon = \Delta\alpha \cdot L \cdot \Delta T / H$$

この式からわかるように、せん断歪みは、 $L$ が大きければ大きく、 $H$ が小さくとなると小さくなる。すなわち、半導体チップ1が大きくなるとせん

の例と同じである。

次に、隔壁金属層4の上に電解めっき法により、銅の住状電極層7を設ける。

次に、住状電極層7の上に、第1の例と同様にはんだバンプ8を形成する。

この例は、第1の例に比べ、はんだバンプ8の高さが高く出るといふ利点がある。

次に、この半導体チップを回路基板に組立てるフリッツァフ法について説明する。

第5図(a)、(b)は半導体チップを回路基板に接続した状態を示す平面図及び側面図である。

まず、半導体チップ1のはんだバンプ8に対応した位置にはんだバンプが設けられている回路基板9に、半導体チップ1のはんだバンプ8を回路基板9のはんだバンプと互いに突合せて位置決めし、半導体チップ1を回路基板9に接続する。

次に、はんだバンプを溶解して接続体10を形成することにより、半導体チップ1を回路基板9に接続する。

9に接続する。  
[発明が解決しようとする問題点]

しかし、前述の第1の例では、はんだバンプ8の高さは、実際の生産では、せいぜいはんだバンプの直径の80%程度しか出来ず、また、回路基板9に接続したときは、半導体チップの重みでははんだバンプの高さは50%程度に減ってしまうので、接続寿命を長く期待することが出来ないという問題がある。

また、第2の例は、住状電極層7を隔壁金属層4の上に形成して、その上にはんだバンプ8を形成しているが、この構造では、はんだバンプ8の最上端までの高さが、第1の例よりは高く出来るが、はんだバンプ8を形成するときに、住状電極層7の周囲にはんだが回り込みを起して、はんだバンプ8の高さにばらつきを生じるといふ問題がある。

このばらつきの問題は、この後の工程で、回路基板9に半導体チップ1を接続したときに、はんだバンプが回路基板と半導体チップとの間で溶解されて形成される接続体10の形状が、ばらつきになる。この接続体10の形状により、せん断

次に、本発明の実施例について図面を参照して説明する。  
第1図(a)～(f)は本発明の第1の実施例の製造方法を説明するための工程順に示した半導体チップの断面図である。

たは四ツ化炭素と酸素との混合ガスを用いた反応性イオソエチレン法により選択除去し、開口6を形成する。

次に、第1図(d)に示すように、ニッケルまたは銅のようにはんだのめり性の良い金属を電解めつき法により開口6を埋めて住状電極層7を形成する。

次に、電解めつき法またはチタニウム法によりはんだバソフ8を住状電極層7の上に形成する。例として、銅めつき法により開口6を埋めて住状電極層7を形成する。

次に、第1図(e)に示すように、半導体形成されたはんだバソフ8をマスクにしてドライエツチレン法により、はんだバソフ8以外の領域のポリイミド層5aを除去して、住状電極層7の側面にあるポリイミド層5bを残す。

次に、第1図(f)に示すように、はんだバソフ8の下に位置する領域以外の部分の除炭素層4aをウエットエツチレン法で除去する。

第2図は本発明の第2の実施例の半導体チップの断面図である。

まず、第1図(a)に示すように、能動領域が形成されている半導体チップ1の表面に絶縁膜2を設け、電極を引出す部分に窓をあける。その窓にアルミニウムの電極バソフ3を形成する。

次に、電極バソフ3を含めた半導体チップ1の全表面に、電極バソフ3との密着性が良く、各金属相互間の拡散による劣化を起さないような金属をスパッタリング法または金属蒸着法により、除炭素層4を形成する。除炭素層4は、電極バソフ3の上に、まず、チタニウムはクロムを蒸着し、その上に重ねて銅またはニッケルを蒸着して二層構造にする。チタニウムまたはクロムの薄膜層は、その後の除炭素層4のエツチレン工程を考慮して通常0.05〜0.1μm程度の厚さに抑えて形成する。

次に、第1図(b)に示すように、ポリイミド層5aを除炭素層4の全面に30〜50μm厚さに塗布し、硬化する。

次に、第1図(c)に示すように、電極バソフ3の上にポリイミド層5aの領域を、酸素と

の断面図である。

第1図(f)に示す半導体チップ1までは、第1の実施例と同様に形成する。

次に、半導体チップ1を不活性雰囲気中ではんだバソフ8を再溶解して球状に整形する。

このように、電解めつき法により住状電極層7を形成するときに、ポリイミド層5bがあるため、めつき層は球の形がりを抑えられて高く形成出来るので、従来の例に比べて、絶縁膜2からはんだバソフ8の最上端までの高さをより高くすること出来る。また、ポリイミド層5bで被覆された住状電極層7の上にはんだバソフ8を形成するので、はんだが住状電極層7の側面に回り込むことなくばらつきの少ない高さのはんだバソフ8が得られる。

更に、シリコンチップ法で半導体チップ1を回路基板9に接続したときに、はんだバソフ8が再溶解しても、住状電極層7が従来のより高く形成されていくので、従来の例に比べ、接続体10の高さを、すなわちHは、住状電極層7の高さだけ高く

(発明の効果)

以上説明したように、本発明は、はんだバソフと半導体チップの電極バソフとの間に、耐熱性樹脂で被覆された住状電極層を設けることにより、はんだバソフの高さを高くし、且つ高さのばらつきを抑制して、接続体のせん断歪みを小さくさせ、従来のより接続寿命の長い半導体装置が得られるという効果がある。

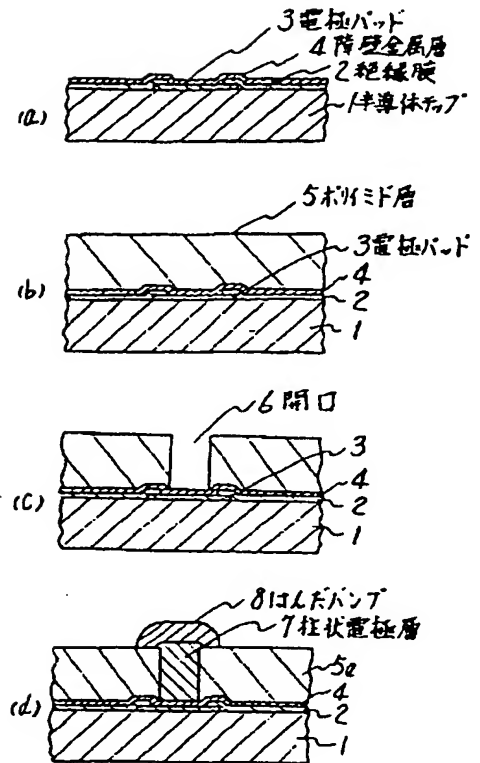
図面の簡単な説明

第1図(a)〜(f)は本発明の第1の実施例の製造方法を説明するための工程順に示した半導体チップの断面図、第2図は本発明の第2の実施例の半導体チップの断面図、第3図は従来の半導体チップの断面図、第4図は従来の半導体チップの断面図、第5図(a)。

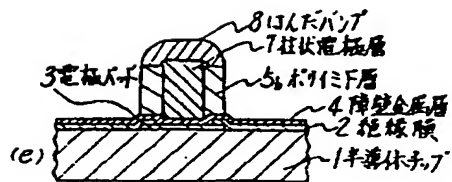
(b) は半導体チップを回路基板に接続した状態を示す平面図及び側面図である。

1…半導体チップ、2…絶縁膜、3…電極パッド、4…障壁金属層、5a…ポリイミド層、5b…ポリイミド層、6…開口、7…柱状電極層、8…はんだパンフ、9…回路基板、10…接続体。

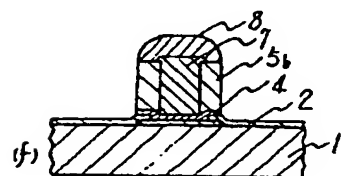
代理人 井理士 内 原 晋



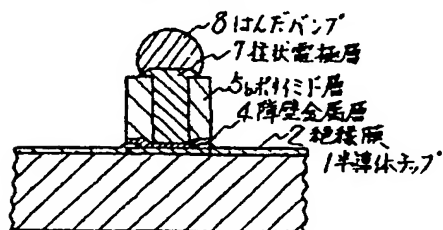
第1図



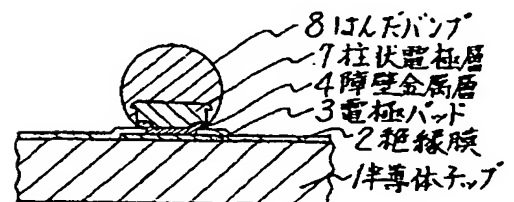
第1図



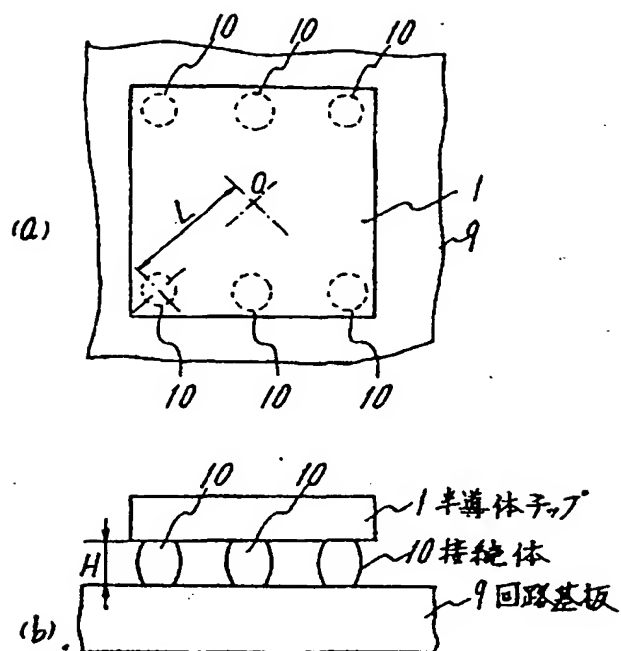
第2図



第3図



第4図



第5図